

PAT-NO: JP363161645A

DOCUMENT-IDENTIFIER: JP 63161645 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 5, 1988

INVENTOR-INFORMATION:

NAME

TSUBAKIYAMA, MITSUHIRO

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP61315516

APPL-DATE: December 24, 1986

INT-CL (IPC): H01L021/88

US-CL-CURRENT: 438/978, 438/FOR.492

ABSTRACT:

PURPOSE: To prevent the generation of defects such as defective insulation, disconnection, etc., when multilayer interconnection is conducted by etching a metallic film in a tapered manner to form a wiring, shaping a side wall-shaped insulating film onto the side surface of the metallic wiring and forming an inter-layer insulating film.

CONSTITUTION: SiO<sub>2</sub> 6 is shaped onto an Si substrate 5, Al 7 is formed onto the SiO<sub>2</sub> 6, and a resist pattern 8 with a wiring pattern to be shaped is formed onto Al 7. When etching is executed in order of anisotropy, isotropy and anisotropy, using the resist pattern 8 as a mask and the resist pattern 8 is removed, a tapered Al wiring 7a can be shaped. When

PSG 9 is formed onto the Al wiring 7a and exposed SiO<sub>2</sub> 6 and the PSG 9

is etched in an anisotropic manner, a side wall 9a can be shaped onto the side surface of the Al wiring 7a. When an inter-layer insulating film 10 is formed, the steep Al wiring 7a is corrected smoothly by the side wall 9a, thus also smoothing the surface shape of the inter-layer insulating film 10.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-161645

⑪ Int.Cl.<sup>4</sup>  
H 01 L 21/88識別記号 庁内整理番号  
F-6708-5F

⑬ 公開 昭和63年(1988)7月5日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-315516

⑯ 出 願 昭61(1986)12月24日

⑰ 発 明 者 椿 山 光 宏 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑱ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
⑲ 代 理 人 弁理士 杉山 毅 至 外1名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

1. 半導体素子を組み込んだ基板上に金属配線を形成し、更にその上に層間絶縁膜を形成する際、基板上に金属膜を被着させ、該金属膜上に所望するパターンを有するレジストを形成し、該レジストパターンをマスクとして上記金属膜に異方性エッチング、等方性エッチング、異方性エッチングの順でエッチングを行なってテーパ状の金属配線を形成し、該金属配線側面に絶縁膜によるサイドウォールを形成した後、層間絶縁膜を形成してなることを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は半導体装置の製造方法に関し、特に、平坦化プロセスに必要なサイドウォールの形成方法に関する。

## &lt;従来の技術&gt;

近年、半導体装置の高密度化、高集積化に伴い、半導体素子を層間絶縁膜を挟んで多層に形成する三次元構造が採られている。

第2図は従来の半導体装置の要部断面図である。即ち、半導体素子を組み込んだS1基板1上に絶縁膜2を形成し、該絶縁膜上にA1等で金属配線3を形成し、更にその上に層間絶縁膜4を形成して、第1層が完成する。この層間絶縁膜4上に2層目の配線或いは半導体素子を作成する際、上記層間絶縁膜4に接続孔を設けて、第1層と第2層とのコンタクトを図る。

## &lt;発明が解決しようとする問題点&gt;

上記第2図の如く金属配線3を形成すると、その側面が急峻であるため、金属配線3を覆って形成される層間絶縁膜4に大きな段差が発生する。このため、該層間絶縁膜4上に第2の配線を形成すると、第1配線のエッジ部分等での絶縁不良や断線等の欠陥が起こり易いという問題がある。

## &lt;問題点を解決するための手段&gt;

本発明は上述する問題を解決するためになされたもので、層間絶縁膜を形成した時、その表面上がなだらかな形状となる半導体装置の製造方法を提供するものである。

本発明は金属膜をテーバ状にエッチングして配線を形成し、この金属配線側面にサイドウォール状の絶縁膜を形成した後、層間絶縁膜を形成する半導体装置の製造方法を提供するものである。

#### <作用>

本発明により、層間絶縁膜下にある段差が緩やかになるため、層間絶縁膜表面の段差は更に緩やかとなり、この層間絶縁膜上に配線等を形成しても、第1配線のエッジ部分等での絶縁不良や断線等の欠陥が生じなくなる。

#### <実施例>

以下、図面を参照しながら本発明の一実施例について説明するが、本発明はこれに限定されるものではない。

第1図(a)~(h)は本発明の一実施例を示す断面図である。即ち、第1図(a)のように、半導体素子を

状のA<sub>1</sub>配線7aができる。

次いで、第1図(f)のように該A<sub>1</sub>配線7aと導出したSiO<sub>2</sub>6との上にPSG9を形成し、このPSG9に異方性エッチングを施すと、A<sub>1</sub>配線7a側面に第1図(g)の如きサイドウォール9aが形成される。この時、A<sub>1</sub>配線7aの側面がテーバ状であるため、A<sub>1</sub>配線7aの厚みに対してPSG9の膜厚を薄くしても、必要な形状のサイドウォール9aを形成することができ、サイドウォールを形成するためのエッチング処理に要する時間はかなり少なくて済む。

最後に、第1図(h)に示すように層間絶縁膜10を形成すると、上述の工程によって、急峻だったA<sub>1</sub>配線7aがサイドウォール9aによってなだらかに補正されているため、層間絶縁膜10の表面形状も従来に比べて大変なだらかになる。

上記本実施例において、サイドウォール材料としてPSGを用いたが、本発明はこれに限定されるものではなく、他の絶縁膜を用いてもよい。

また、上記本実施例において、配線材料として

組み込んだSi基板5上にSiO<sub>2</sub>6を形成し、その上にA<sub>1</sub>7を形成する。更に、該A<sub>1</sub>7上に、形成したい配線パターンを有するレジストパターン8を形成する。次に、第1図(b)のように前記レジストパターン8をマスクとし、A<sub>1</sub>7の所要量をエッチングする。この時のエッチングは異方性であり、縦方向にのみ進行するため、A<sub>1</sub>7にはレジストパターン8が転写される。続いて、第1図(c)のように上記レジストパターン8をマスクとし、上述の如く異方性エッチングされたA<sub>1</sub>7の所要量をエッチングする。この時のエッチングは等方性であり、縦方向にも横方向にも進行するため、レジストパターン8下のA<sub>1</sub>7もエッチングされる。更に、第1図(d)のようにレジストパターン8をマスクとし、上述の如く異方性エッチングと等方性エッチングとを施したA<sub>1</sub>7を最終形状になるようにエッチングする。この時のエッチングは異方性であり、縦方向にのみ進行するため、A<sub>1</sub>7には再びレジストパターン8が転写される。こうして、レジストパターン8を除去すると、第1図(e)のようなテーバ

A<sub>1</sub>を用いたが、本発明はこれに限定されるものではなく、他の配線材料を用いてもよい。

#### <発明の効果>

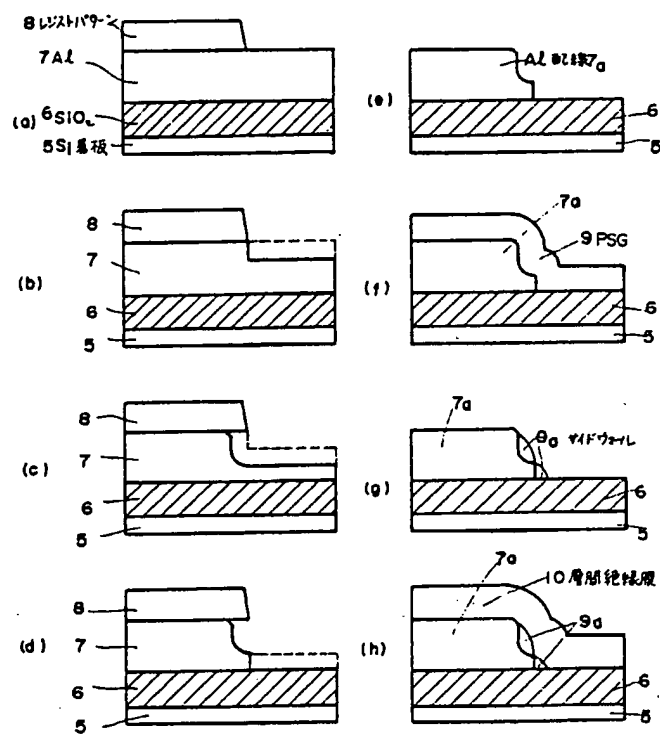
本発明により、多層配線を行なった時に絶縁不良や断線等の欠陥が発生しなくなるため、高密度で微細な構成をもつ半導体装置の信頼性を向上させることが可能になる。

#### 4. 図面の簡単な説明

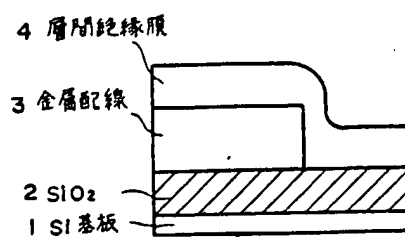
第1図(a)~(h)は本発明の一実施例を示す断面図、第2図は従来の方法で作成した半導体装置の要部を示す断面図である。

5…Si基板 6…SiO<sub>2</sub> 7…A<sub>1</sub> 7a…  
A<sub>1</sub>配線 8…レジストパターン 9…PSG  
9a…サイドウォール 10…層間絶縁膜

代理人 弁理士 杉山 毅 至 (他1名)



第 1 図



第 2 図